***21,22,23 )ЗСУВ ІНФОРМАЦІЇ В РЕГІСТРАХ***

***Регістри зсуву*** - ряд послідовно з'єднаних трігерів двоступеневої структури. Число трігерів визначає розрядність коду, що записується. За напрямком зсуву записаної в регістр інформації розрізняють регістри прямого зсуву, тобто вправо, в сторону молодшого розряду, зворотнього зсуву, тобто вліво, в сторону старшого розряду та реверсивні регістри, які допускають зсув в обидвох напрямках. В табл. 3.17 наведені ІМС регістрів зсуву, які входять до складу найбільш популярних серій.

ІМС регістрів відрізняються не тільки за напрямком зсуву, але й кількістю розрядів, способом запису та зчитування інформації, швидкодією, енергоспоживанням та за іншими показниками. За способом запису інформації в регістр та її зчитування з виходів можливі наступні варіанти реалізації: запис за одним або за всіма входами одночасно; зчитування за одним або за всіма входами одночасно. В табл. 22 інформація про те, до якого типу за вказаною ознакою відноситься регістр, міститься в колонці "Число входів-виходів". Наприклад, регістр К555ИР8 має один вхід і вісім виходів, тому відноситься до регістрів з послідовною системою запису та паралельною системою зчитування інформації. Наступний регістр К555ИР9 має вісім входів і один вихід, тому відноситься до регістрів паралельно-послідовного типу. Прикладом регістра з паралельною системою запису і зчитування служить регістр К155ИР13, в якого вісім входів і вісім виходів (за кількістю розрядів).

На рис.22,а наведена типова схема регістра зсуву послідовно-паралельного типу, який складається з послідовної ланки двоступеневих D-трігерів. Тактові імпульси (імпульси зсуву) надходять на всі трігери одночасно. Інформаційним кодом регістра є вхід трігера старшого розряду. Кількість виходів рівна кількості розрядів. Інформація, яка записується, повинна бути подана в часі послідовним кодом. Код записується порозрядно зі сторони старшого розряду шляхом просування кодової комбінації з кожним тактовим імпульсом від розряду до розряду. Тому для запису чотирьохрозрядного коду потрібно чотири тактові імпульси. Напрямок зсуву вказується на умовному графічному позначенні ІМС регістра стрілкою (рис.22,б). Зчитування в такому регістрі можна виконати двома способами: послідовно в часі і паралельно. В першому випадку інформацію знімають порозрядно з виходу молодшого розряду Q1, в другому - зі всіх виходів в паузі між тактовими імпульсами.

|  |  |
| --- | --- |
| Функціональна схема регістра зсуву     | Умовне графічне позначення регістра зсуву |
| а) | б) |

**Рисунок 22** Регістри зсуву а) функціональна схема, б) умовне графічне позначення

Інший приклад схемотехнічної реалізації регістра наведено на рис.23,а, де показано дещо спрощену схему ***реверсивного регістра*** К155ИР1. Кожен розряд складається з D-трігера та логічного елемента, який виконує функцію двоканального мультиплексора, який керується сигналом V. Регістр може записувати інформацію порозрядно послідовно в часі і всіма розрядами одночасно. При послідовному способі запису сигнал V повинен бути низького рівня, а код, який записується, повинен надходити на вхід D0. З кожним тактовим імпульсом C1 вхідний код просувається на один розряд в сторону старшого розряду. При паралельному способі запису код подається на входи D4-D1. Запис проводиться в паузі між тактовими імпульсами C1 при V=1 імпульсом C2.

Якщо після запису число потрібно зсунути, то регістр переводять в режим зсуву сигналом V=0 і керують за допомогою імпульсів C1. При умові, що Q1 – вихід молодшого розряду, а Q4 – старшого, інформація в регістрі зсувається вліво (зворотній зсув). Але він може бути перетворений і в регістр із зсувом вправо (прямий зсув). Для цього необхідно виконати наступні зовнішні з’єднання: D3 з Q4, D2 з Q3, D1 з Q2. Код записують по входу D4 при V = 1, а керують регістром тактовими імпульсами C2. Таким чином, в розглянутому регістрі виконуються умови як прямого, так і зворотнього зсувів. Регістр має виходи від всіх розрядів, отже дозволяє зчитувати записаний код як в послідовній, так і в паралельній формах подання інформації в часі. Умовне графічне позначення регістра К155ИР1 наведено на рис.23,б.



**24) Простий двійковий лічильник**

Двійкові лічильники реалізують лічбу вхідних [імпульсів](http://uk.wikipedia.org/wiki/%D0%86%D0%BC%D0%BF%D1%83%D0%BB%D1%8C%D1%81) у двійковій [системі числення](http://uk.wikipedia.org/wiki/%D0%A1%D0%B8%D1%81%D1%82%D0%B5%D0%BC%D0%B0_%D1%87%D0%B8%D1%81%D0%BB%D0%B5%D0%BD%D0%BD%D1%8F).

Число розрядів n двійкового підсумовуючого лічильника для заданого модуля М знаходять із виразу n = log2М. Значення поточного числа N+ вхідних імпульсів n-розрядного підсумовуючого лічильника при відліку з нульового початкового стану визначають за формулою:

N+= Qi=2n-1 Qn+2n-2 Qn-1+...+20 Q1,

 де 2i–1 – i-тий розряд; QiÎ{0,1} – логічне значення прямого виходу тригера i-го розряду. Розряди двійкового лічильника будуються на двоступеневих Т-тригерах або D-тригерах з динамічним керуванням по фронту синхросигналу (в лічильному режимі).

У двійковому підсумовуючому лічильнику перенесення Рi в сусідній старший розряд Qi+1 виникає в тому випадку, коли в момент надходження чергового лічильного імпульсу U+ всі молодші розряди находяться в одиничному стані, тобто Pi=U+QiQi–1...Q1=1. Після вироблення перенесення старший розряд перемикається в стан «1», а всі молодші розряди – в стан «0».

Асинхронні підсумовуючі лічильники на двоступеневих Т-тригерах будуються так, щоб вхідні імпульси U+ надходили на лічильний вхід тільки першого (молодшого) розряду. Сигнали перенесення передаються асинхронно (послідовно в часі) з прямих виходів молодших розрядів на Т-входи сусідніх старших.

 **тільки 2 ...**

**25) Лічильники з наскрізним переносом"**Процедура двійкового і десяткового рахунку показана в табл. 13.1. Використовуючи *4* двійкових розряду *(D, C, B* і *A)* можна вважати від *0000* до *1111* (від *0* до *15* в десятковій системі). Стовпець *А* [відповідає](http://ua-referat.com/%D0%92%D1%96%D0%B4%D0%BF%D0%BE%D0%B2%D1%96%D0%B4%D1%8C) наймолодшому розряду, а стовпець *D* найстаршому розряду. Якщо потрібен лічильник, який рахує від *0000* до *1111* (в двійковій системі), у нього має бути *16* різних вихідних станів, тобто потрібен лічильник з модулем *16.* На ріс.13.1 показана схема лічильника за модулем *16,*складена з *4 JK-тригерів.* Кожен *JK-тригер* [працює](http://ua-referat.com/%D0%9F%D1%80%D0%B0%D1%86%D1%8E%D1%94) в режимі перемикання *(J = K = 1).* Нехай у початковий момент стан виходів лічильника відповідає бінарного числа *0000* (лічильник очищений). При надходженні тактового імпульсу *1* на синхронизирующий вхід *(C)* тригера *T1* цей тригер перемикається (при проходженні зрізу імпульсу) і на індикаторі з'являється двійкове число *0001.* Тактовий імпульс *2* повертає тригер *T1* в початковий стан *0 (Q = 0),* що в свою чергу призводить до перемикання тригера *T2* в стан *1 (Q = 1).* На індикаторі з'явиться число *0010.* Рахунок триває: зріз [сигналу](http://ua-referat.com/%D0%A1%D0%B8%D0%B3%D0%BD%D0%B0%D0%BB) на виході кожного тригера запускає наступний тригер.

Таблиця двійкового і десяткового рахунку


Ріс.13.1. Схема лічильника за модулем *16*
З табл.13.1 видно, що [цифри](http://ua-referat.com/%D0%A6%D0%B8%D1%84%D1%80%D0%B8) *(1* або *0)* в стовпці *А* змінюється на кожному кроці рахунку, тобто тригер *T1* переключається з приходом кожного нового тактового імпульсу. З шпальти *У* видно, що тригер *T2* перемикається в два рази рідше тригера *T1.* Кожен більш старший розряд «перемикається» в *2* рази рідше попереднього.
На рис.13.2 показані часові діаграми при роботі лічильника в [процесі](http://ua-referat.com/%D0%9F%D1%80%D0%BE%D1%86%D0%B5%D1%81) рахунку до *10* (двійкове число *1010).*


26) **паралельне перенесення лічильника СХЕМА**



27) **Лічильники з груповим переносом**

Щоб досягнути компромісу між збільшенням швидкодії лічильника і

необхідними для цього апаратурними затратами застосовують поділ

розрядів лічильника на групи. Всередині кожної групи розрядів

реалізується паралельний перенос, а між групами — послідовний перенос

(рис. 12). Такі лічильники називаються лічильниками з груповим

переносом.



**33) багаторозрядні суматори паралельної дії .**

У паралельних n-розрядних суматорах значення всіх розрядів операндів поступають одночасно на відповідні входи однорозрядних підсумовуючих схем. У послідовних суматорах значення розрядів операндів та перенесення, які запам'ятовувалися в минулому [такті](http://uk.wikipedia.org/w/index.php?title=%D0%A2%D0%B0%D0%BA%D1%82&action=edit&redlink=1), поступають послідовно в напрямку від молодших [розрядів](http://uk.wikipedia.org/wiki/%D0%A0%D0%BE%D0%B7%D1%80%D1%8F%D0%B4) до старших на входи одного одно розрядного суматора. В паралельно-послідовних суматорах числа розбиваються на частини, наприклад, байти, розряди байтів поступають на входи восьми розрядного суматора паралельно (одночасно), а самі байти — послідовно, в напрямку від молодших до старших байтів з врахуванням запам'ятованого перенесення.

У комбінаційних суматорах результат операції додавання запам'ятовується в регістр результату. В накопичувальних суматорах процес додавання поєднується зі зберіганням результату. Це пояснюється використанням [Т-тригерів](http://uk.wikipedia.org/w/index.php?title=%D0%A2-%D1%82%D1%80%D0%B8%D0%B3%D0%B5%D1%80&action=edit&redlink=1) як однорозрядних схем додавання.

Організація перенесення практично визначає час виконання операції додавання. Послідовні перенесення схемно створюються просто, але є повільнодіючими. Паралельні перенесення схемно реалізуються значно складніше, але дають високу [швидкодію](http://uk.wikipedia.org/w/index.php?title=%D0%A8%D0%B2%D0%B8%D0%B4%D0%BA%D0%BE%D0%B4%D1%96%D1%8F&action=edit&redlink=1).



**34) Прямокутні дешифратори**

Прямокутний дешифратор будується за двоступеневою схемою. При цьому вхідний код розбивається на дві групи по n/2 розрядів при парному n; при непарній розрядності групи вміщують нерівне число змінних. Дві групи змінних декодуються на першому ступені двома повними лінійними (можливо і пірамідальними) дешифраторами, а на другому ступені формуються вихідні функції.
Умовно вважають, що один з дешифраторів першого ступеня формує адреси рядків матриці, а другий – адреси стовпчиків матриці. На перетині ліній рядків і стовпчиків підключається m=2n двовходових схем збігу, які утворюють другий, вихідний ступінь дешифратора. При парному n матриця вентилів квадратна, при непарному n – прямокутна. Тому такі дешифратори називаються матричними або прямокутними.
Запишемо систему вихідних функцій повного дешифратора "з 4 в 16" у вигляді таких скорочених значень:
       (6.5)
де введені дворозрядні функції  і  які реалізуються дешифраторами рядків і стовпчиків відповідно:
          (6.6)
Схема прямокутного дешифратора на основі рівнянь (6.5) і (6.6) показана на рис.6.6.


**35)** **пірамідальні дешифратори**

**Пірамідальні дешифратори**

Будуються за принципом послідовних каскадів: на першому каскаді реалізуються конституенти одиниці для 2 змінних, на *n* − 1 реалізуються конституенти одиниці для *n* змінних, при цьому, на вході отримується вихід з попереднього каскаду.

**36 ) ступеневі дешифратори**

6.5. Багатоступеневі дешифратори.
Каскадування дешифраторів
Принцип побудови багатоступеневих дешифраторів полягає у послідовному розбитті вхідного багаторозрядного коду до отримання у кожній групі двох - трьох розрядів. Як приклад на рис. 4.7 показано розбиття коду, який дешифрується для n=10 и n=13. Після цього багатоступенева схема дешифратора зображується у вигляді з’єднання ряду лінійних схем.

Рис. 6.7. Розбиття вхідного коду, який дешифрується на групи: а – при n=10; б – при n=13

Під каскадуванням (нарощуванням) розуміють спосіб з’єднання дешифраторів у вигляді мікросхем середнього ступеня інтеграції для одержання більшої розрядності вхідного коду. З’єднання двох трирозрядних дешифраторів типу K555ІД3 для декодування чотирирозрядного коду показано на рис. 4.8.
Вхідні змінні X1, X2 і X3 подаються паралельно на входи обох дешифраторів: змінна X4 подається безпосередньо на вхід стробування  першого дешифратора, через інвертор – на вхід стробування другого дешифратора. Ця каскадна схема працює так. Якщо значення старшого розряду вхідного коду X4 = 0, то в роботу включається перший дешифратор з інверс­ними вісьмома виходами L0,..., L7, при цьому другий дешифратор блокований (вимкнений) і на його виходах L8,..., L15 встановлюються високі рівні. При X4=1 блокується перший дешифратор і включається в роботу друга мікросхема.
Таким чином, через наявність стробуючого входу два трирозрядних дешифратори утворюють схему дешифрації чотирирозрядного коду.