**ЗМІСТ**

|  |  |
| --- | --- |
| 1. Мікропрограма “Пам’ять”………………............................................ | 3 |
| 2. Граф МПА ……………………………………………………………….. | 4 |
| 3. Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 ………………………………………………… | 5 |
| 4. Спрощення виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 ………………………………………………… | 6 |
| 5. Опрацювання та опис функціональної схеми пристрою ……………... | 7 |
| 6. Опрацювання та опис принципової електричної схеми пристрою ….. | 9 |
| 7. Опрацювання МПА на основі ІС типів КР555РТ17 (постійний запам’ятовуючий пристрій) та КР555ТМ9 (регістр) ………………... | 15 |
| 7.1 Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 в цифровій формі ……………………………. | 15 |
| 7.2 Таблиця істинності ПЗП ………………………………………………. | 16 |
| 7.3 Схема МПА, побудованого на основі ПЗП …………………………... | 17 |
| 8. Список використаної літератури ………………………………………. | 18 |

**1. Мікропрограма “Пам’ять”**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A0: | якщо | $$\overbar{Y1}∙\overbar{Y0}$$ | то | K1 | йти до | A0 |
|  | якщо | $$\overbar{Y1}∙Y0$$ | то | K3,K3 | йти до | A1 |
|  | якщо | $$Y1∙\overbar{Y0}$$ | то | K3,K2 | йти до | A3 |
|  | якщо | $$Y1∙Y0$$ | то | K2 | йти до | A2 |
| A1: | якщо | $$\overbar{Y1}∙\overbar{Y0}$$ | то | K2 | йти до | A3 |
|  | якщо | $$\overbar{Y1}∙Y0$$ | то | K0 | йти до | A0 |
|  | якщо | $$Y1∙\overbar{Y0}$$ | то | K1 | йти до | A0 |
|  | якщо | $$Y1∙Y0$$ | то | K3,K2 | йти до | A2 |
| A2: | якщо | $$\overbar{Y1}∙\overbar{Y0}$$ | то | K3,K2 | йти до | A1 |
|  | якщо | $$\overbar{Y1}∙Y0$$ | то | K2 | йти до | A1 |
|  | якщо | $$Y1∙\overbar{Y0}$$ | то | K0 | йти до | A1 |
|  | якщо | $$Y1∙Y0$$ | то | K2 | йти до | A3 |
| A3: | якщо | $$\overbar{Y1}∙\overbar{Y0}$$ | то | K2 | йти до | A2 |
|  | якщо | $$\overbar{Y1}∙Y0$$ | то | K1 | йти до | A0 |
|  | якщо | $$Y1∙\overbar{Y0}$$ | то | K1 | йти до | A3 |
|  | якщо | $$Y1∙Y0$$ | то | K1 | йти до | A3 |

 **K0 – EWR**

 **K1 – E+1**

 **K2 – CS**

 **K3 – RD**

**2. Граф МПА**

 

**3. Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3**

**D0** = $\overbar{Y1}∙Y0∙A0 $v$\overbar{ Y1}∙\overbar{Y0}∙A2 v \overbar{Y1}∙Y0∙A2 v Y1∙\overbar{Y0}∙A2 v Y1∙\overbar{Y0}∙A3 v Y1∙$ $Y0∙A3 v Y1∙Y0∙A2 v\overbar{ Y1}∙\overbar{Y0}∙A1 v Y1∙\overbar{Y0}∙A0= \overbar{Y1}∙Y0∙\overbar{Q1}∙\overbar{Q0} v \overbar{ Y1}∙\overbar{Y0}∙Q1∙\overbar{Q0} v \overbar{Y1}∙Y0∙ Q1∙\overbar{Q0} v Y1∙\overbar{Y0}∙ Q1∙\overbar{Q0} v Y1∙\overbar{Y0}∙Q1∙Q0 v Y1∙$ $Y0∙Q1∙Q0 v Y1∙Y0∙Q1∙\overbar{Q0} v \overbar{ Y1}∙\overbar{Y0}∙\overbar{Q1}∙Q0 v Y1∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0}$

**D1** = $Y1∙\overbar{Y0}∙A3 v Y1∙$ $Y0∙A3 v Y1∙Y0∙A2 v\overbar{ Y1}∙\overbar{Y0}∙A1 v Y1∙\overbar{Y0}∙A0 v \overbar{Y1}∙\overbar{Y0}∙A3 v Y1∙Y0∙A0 v Y1∙Y0∙A1= Y1∙\overbar{Y0}∙Q1∙Q0 v Y1∙$ $Y0∙Q1∙Q0 v Y1∙Y0∙ Q1∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙ \overbar{Q1}∙Q0 v Y1∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙Q1∙Q0 v Y1∙Y0∙\overbar{Q1}∙\overbar{Q0} v Y1∙Y0∙\overbar{Q1}∙Q0$

**K0** = $\overbar{Y1}∙Y0∙A1 v Y1∙\overbar{Y0}∙A2= \overbar{Y1}∙Y0∙\overbar{Q1}∙Q0 v Y1∙\overbar{Y0}∙Q1∙\overbar{Q0}$

**K1** = $\overbar{Y1}∙\overbar{Y0}∙A0 v Y1∙\overbar{Y0}∙A1 v \overbar{Y1}∙Y0∙A3 v Y1∙\overbar{Y0}∙A3 v Y1∙Y0∙A3= \overbar{Y1}∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0} v Y1∙\overbar{Y0}∙\overbar{Q1}∙Q0 v \overbar{Y1}∙Y0∙Q1∙Q0 v Y1∙\overbar{Y0}∙Q1∙Q0 v Y1∙Y0∙Q1∙Q0$

**K2** = $Y1∙\overbar{Y0}∙A0 v Y1∙Y0∙A0 v \overbar{Y1}∙\overbar{Y0}∙A1 v Y1∙Y0∙A1 v \overbar{Y1}∙\overbar{Y0}∙A2 v \overbar{Y1}∙Y0∙A2 v Y1∙Y0∙A2 v \overbar{Y1}∙\overbar{Y0}∙A3= Y1∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0} v Y1∙Y0∙\overbar{Q1}∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙\overbar{Q1}∙Q0 v Y1∙Y0∙\overbar{Q1}∙Q0 v \overbar{Y1}∙\overbar{Y0}∙Q1∙\overbar{Q0} v \overbar{Y1}∙Y0∙Q1∙\overbar{Q0} v Y1∙Y0∙Q1∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙Q1∙Q0$

**K3** = $\overbar{Y1}∙Y0∙A0 v \overbar{Y1}∙Y0∙A0 v Y1∙\overbar{Y0}∙A0 v Y1∙Y0∙A1 v \overbar{Y1}∙\overbar{Y0}∙A2= \overbar{Y1}∙Y0∙\overbar{Q1}∙\overbar{Q0} v \overbar{Y1}∙Y0∙\overbar{Q1}∙\overbar{Q0} v Y1∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0} v Y1∙Y0∙\overbar{Q1}∙Q0 v \overbar{Y1}∙\overbar{Y0}∙Q1∙\overbar{Q0}$

**4. Спрощення виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3**

**D0** = $\left(\overbar{Y1}∙Y0vY1∙\overbar{Y0}\right)A0 v \overbar{Y1}∙\overbar{Y0}∙A1 v A2 v Y1∙A3$ = $\left(\overbar{Y1}∙Y0vY1∙\overbar{Y0}\right)∙\overbar{Q1}∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙\overbar{Q1}∙Q0 v Q1∙\overbar{Q0}vY1∙Q1∙Q0$

**D1** = $\overbar{\overbar{Y0}∙Y0}∙A3 v Y1∙Y0∙A2 v \left(\overbar{Y1}∙\overbar{Y0}vY1∙Y0\right)∙A1 v Y1∙A0= \overbar{\overbar{Y0}∙Y0}∙Q1∙Q0 v Y1∙Y0∙Q1∙\overbar{Q0} v \left(\overbar{Y1}∙\overbar{Y0}vY1∙Y0\right)∙\overbar{Q1}∙Q0 v Y1∙\overbar{Q1}∙\overbar{Q0}$

**K0** = $\overbar{Y1}∙Y0∙A1 v Y1∙\overbar{Y0}∙A2= \overbar{Y1}∙Y0∙\overbar{Q1}∙Q0 v Y1∙\overbar{Y0}∙Q1∙\overbar{Q0}$

**K1** = $\overbar{Y1}∙\overbar{Y0}∙A0 v Y1∙\overbar{Y0}∙A1 v \overbar{\overbar{Y1}∙\overbar{Y0}}∙A3= \overbar{Y1}∙\overbar{Y0}∙\overbar{Q1}∙\overbar{Q0} v Y1∙\overbar{Y0}∙\overbar{Q1}∙Q0 v\overbar{\overbar{ Y1}∙\overbar{Y0}}∙Q1∙Q0$

**K2**=$ Y1∙A0 v \left(\overbar{Y1}∙\overbar{Y0}vY1∙Y0\right)∙A1 v \overbar{Y1∙\overbar{Y0}∙}A2 v \overbar{Y1}∙\overbar{Y0}∙A3= Y1∙\overbar{Q1}∙\overbar{Q0} v \left(\overbar{Y1}∙\overbar{Y0}vY1∙Y0\right)∙\overbar{Q1}∙Q0 v \overbar{Y1∙\overbar{Y0}∙}Q1∙\overbar{Q0} v \overbar{Y1}∙\overbar{Y0}∙Q1∙Q0$

**K3** = $\left(\overbar{Y1}∙Y0vY1∙\overbar{Y0}\right)∙A0 v Y1∙Y0∙A1 v \overbar{Y1}∙\overbar{Y0}∙A2= \left(\overbar{Y1}∙Y0vY1∙\overbar{Y0}\right)∙\overbar{Q1}∙\overbar{Q0} v Y1∙Y0∙\overbar{Q1}∙Q0 v \overbar{Y1}∙\overbar{Y0}∙Q1∙\overbar{Q0}$

**5. Опрацювання та опис функціональної схеми пристрою**



Запам’ятовувальний пристрій з мікропрограмним керуванням складається з операційного автомату (ОА) та керуючого автомату (КА). Операційний автомат складається з лічильника адреси – СТ2 та запам’ятовувального пристрою – RAM, адресованого лічильником.

 Лічильник адреси під час дії тактового імпульса (ТІ), виконує наступні операції: скид в “0”, запис та збільшення вмісту на 1 при наявності на керуючих входах сигналів EWR та E+1 відповідно; запам’ятовувальний пристрій, з організацією 256х8, виконує читання при наявності сигналів CS, RD=1, а запис при CS, RD=0.

 Входи завантаження лічильника та інформаційні входи/виходи запам’ятовувального пристрою під’єднані до двонаправленої 8-розрядної шини даних (ШД). Керуючі сигнали:

EWR=K0

E+1=K1

CS=K2

RD=K3

Вони виробляються керуючим автоматом у відповідності з заданою мікропрограмою. Керуючий автомат складається з комбінаційної схеми (КС) на 4 входи та 6 виходів, а також синхронного регістра на D-тригерах (RG).

 Під впливом вхідних сигналів У1, У0 на виходах регістра формуються сигнали Q1, Q0, що визначають стан мікропрограмного автомата (МПА), а також керуючі сигнали K0=EWR, K1=E+1, K2=CS, K3=RD.

**6. Опрацювання та опис принципової електричної схеми пристрою**

 Елементна база схеми:

 Мікросхема серії К555ИД4. Демультиплексор 2 -> 4. Поряд з керуючим входами 2 і 1 є два інверсні входи дозволу: & і Е. Для функціонування елемента потрібно подати на ці входи рівень логічного нуля.

 

 Таблиця істинності демультиплексора

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Е | &  | 2 | 1 | 3 | 2 | 1 | 0 |
| 1 | Х | Х | Х | 1 | 1 | 1 | 1 |
| Х | 1 | Х | Х | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |

 Мікросхема К555КП2. Два мультиплексора 4 -> 1 зі спільним керуючими входами. Кожен мультиплексом має вхід дозволу $\overbar{Е}$.

 

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Е0 | 2 | 1 | 3 | 2 | 1 | 0 | вихід |
| 1 | Х | Х | Х | Х | Х | Х | 0 |
| 0 | 0 | 0 | Х | Х | Х | 0 | 0 |
| 0 | 0 | 0 | Х | Х | Х | 1 | 1 |
| 0 | 0 | 1 | Х | Х | 0 | Х | 0 |
| 0 | 0 | 1 | Х | Х | 1 | Х | 1 |
| 0 | 1 | 0 | Х | 0 | Х | Х | 0 |
| 0 | 1 | 0 | Х | 1 | Х | Х | 1 |
| 0 | 1 | 1 | 0 | Х | Х | Х | 0 |
| 0 | 1 | 1 | 1 | Х | Х | Х | 1 |
|  | Адреса | Входи |  |

 Мікросхема К555ТМ9. Шестирозрядний регістр з асинхронним скидом (Reset).

 

 Часова діаграма, яка пояснює роботу регістра:

 

 Мікросхеми К555ИЕ18. Це синхронний лічильник збудований на двохступінчастих D-тригерах. Керування відбувається по входах: EWR – дозвіл на запис, Е+1 – дозвіл рахування, CR – перенос.

 

 Часова діаграма, яка пояснює роботу лічильника:



 Елемент пам’яті 132РУ9А. Елемент оперативної пам’яті з 1024 комірками по 4 біти в кожній. Адресація здійснюється по входах, керування – по входах $\overbar{CS}, \overbar{WE}.$ CS – дозвіл роботи, WE – дозвіл запису.

 

 Для детальнішого опису принципу роботи схеми, можна скористатися таким алгоритмом:

A0: Y1=1, Y0=1 K1 йти до A0

A0: Y1=1, Y0=0 K2, К3 йти до A1

A1: Y1=0, Y0=1 K1 йти до A2

A2: Y1=1, Y0=1 K1 йти до А3

A3: Y1=1, Y0=1 K2 йти до А0

Для початкового загального скиду на входи RESET мікросхем подається короткочасний сигнал низького рівня, тобто логічний "0". МПА знаходиться у стані А0, оскільки на адресних входах мультиплексорів такий набір сигналів: 2-"0", 14-"0".

На входи дешифратора DD1 подаються сигнали Y1="1", Y0="1", на виходах дешифратора 9-"1", 10-"1", 11-"1", 12-"0". На вході 12 мультиплексора DD5 логічна "1", на виході 9-"1". На виході регістра 10-"1" подається на вхід Е+1 лічильника DD8 збільшуючи адресу на 1 (А1). На виходах регістра 2-"0", 5-"0", МПА переходить у стан А0.

На адресних входах мультиплексорів такий набір сигналів: 2-"0", 14-"0". На входи дешифратора DD1 подаються сигнали Y1="1", Y0="0", на виходах дешифратора 9-"1", 10-"1", 11-"0", 12-"1". На входах 6,10 мультиплексора DD6 логічна „1”, на виходах 7,9 – „1”. На виходах регістра 12,15-"1”. Відбувається читання з пам’яті за адресою А1. На виходах регістра 2-„0”, 5-„1”. МПА переходить у стан А1.

На адресних входах мультиплексорів такий набір сигналів: 2-"0", 14-"1". На входи дешифратора DD1 подаються сигнали Y1="0", Y0="1", на виходах дешифратора 9-"1", 10-"0", 11-"1", 12-"1". На вході 11 мультиплексора DD5 логічна „1”, на виході 9 – „1”. На виході регістра 10 – „1”. Сигнал подається на вхід Е+1 лічильника DD8 збільшуючи адресу на 1 (А2). На виходах регістра 2-"1", 5-"0", МПА переходить у стан А2.

На адресних входах мультиплексорів такий набір сигналів: 2-"1", 14-"0". На входи дешифратора DD1 подаються сигнали Y1="1", Y0="1", на виходах дешифратора 9-"1", 10-"0", 11-"1", 12-"1". На вході 11 мультиплексора DD5 логічна „1”, на виході 9 – „1”. На виході регістра 10 – „1”. Сигнал подається на вхід Е+1 лічильника DD8 збільшуючи адресу на 1 (А3). На виходах регістра 2-"1", 5-"1", МПА переходить у стан А3.

На адресних входах мультиплексорів такий набір сигналів: 2-"1", 14-"1". На входи дешифратора DD1 подаються сигнали Y1="1", Y0="1", на виходах дешифратора 9-"1", 10-"0", 11-"1", 12-"1". На входах 4,5 мультиплексора DD6 логічна „1”, на виході 7 – „1”. На виході регістра 12 – „1”. Сигнал подається на вхід CS і у пам’ять записуються дані з шини даних за адресою А3. На виходах регістра 2-"0", 5-"0", МПА переходить у стан А0.

 Часові діаграми роботи пристрою при читанні та запису:





**7. Опрацювання МПА на основі ІС типів КР555РТ17 (постійний запам’ятовуючий пристрій) та КР555ТМ9 (регістр)**

**7.1 Отримання виразів для функцій збудження D0, D1 та функцій виходів К0, К1, К2, К3 в цифровій формі**

D0 = v(4,8,1,2,6,10,14,11,15)

D1 = v(8,12,1,14,13,3,11,15)

K0 = v(5,10)

K1 = v(0,9,7,11,15)

K2 = v(8,12,1,13,2,6,14,3)

K3 = v(4,8,13,2)

**7.2 Таблиця істинності ПЗП**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | Y1 | Y0 | Q1 | Q0 | K3 | K2 | K1 | K0 | D1 | D0 | B |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 19 |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 49 |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 18 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 33 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 17 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 8 |
| 8 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 51 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 8 |
| 10 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 5 |
| 11 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 11 |
| 12 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 18 |
| 13 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 50 |
| 14 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 19 |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 11 |

 **7.3 Схема МПА, побудованого на основі ПЗП**



 **8. Список використаної літератури**

1. Цифровые и аналоговые интегральные микросхемы: Справочник./ Под ред. С.В. Якубовского. ­­— М.: Радио и связь, 1990;
2. Цифровые интегральные схемы: Справочник./ Под ред. П.П. Мальцева. — М.: Радио и связь, 1994;
3. Шило В.Л. Популярные цифровые микросхемы: Справочник. — М.: Радио и связь, 1994;
4. Угрюмов Е.П. Цифровая схемотехника. — СПб.: БХВ — Санкт – Петербург, 2000;
5. Полупроводниковые БИС ЗУ: Справочник./ Под ред. Гордонова А.Ю. – М.: Радио и связь, 1987.
6. Бирюков С. А. Цифровые устройства на интегральных микросхемах. — 3-е изд. перераб. и доп. —М.: Радио и связь, 1991. —184 с: ил. — (Массовая радиобиблиотека. Вып. 1159).