ЗМІСТ

[ВСТУП 3](#_Toc324549783)

[1 АНАЛІЗ АРИФМЕТИКО – ЛОГІЧНИХ ПРИСТРОЇВ 5](#_Toc324549784)

[1.1 Поняття архітектури і структури комп'ютерів 5](#_Toc324549785)

[1.2 Основи побудови арифметико-логічних пристроїв 6](#_Toc324549786)

[1.2.1 Принцип мікропрограмного керування 6](#_Toc324549787)

[1.2.2 Операційний та керуючий блоки 7](#_Toc324549788)

[1.2.3 Класифікація арифметико-логічних пристроїв 7](#_Toc324549789)

[1.3 Типові функціональні вузли комп'ютерів 9](#_Toc324549790)

[1.4 Проектування комбінаційних схем 12](#_Toc324549791)

[2 ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО – ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЇ ДОДАВАННЯ. ШИФР – АЛП 14](#_Toc324549792)

[2.1 Початкові дані до проекту 14](#_Toc324549793)

[2.2 Алгоритм додавання двійкових чисел 14](#_Toc324549794)

[2.3 Функціональна схема АЛП 15](#_Toc324549795)

[2.4 Мікропрограма додавання двійкових чисел 16](#_Toc324549796)

[2.5 Принципова схема модуля операційного блока МОБ 16](#_Toc324549797)

[2.6 Проектування модуля керуючого блока МКБ 17](#_Toc324549798)

[3 ВИБІР ЕЛЕМЕНТНОЇ БАЗИ І ПОБУДОВА ПРИНЦИПОВОЇ СХЕМИ АЛП 20](#_Toc324549799)

[3.1 Характеристика сучасної елементної бази 20](#_Toc324549800)

[3.2 Характеристика елементів серії ТТЛІІІ 22](#_Toc324549801)

[3.3 Вибір інтегральних мікросхем для побудови принципової схеми арифметико-логічного пристрою 24](#_Toc324549802)

[3.3.1 Вибір типу регістра 24](#_Toc324549803)

[3.3.2 Вибір мікросхем для побудови логічних схем пристроїв 25](#_Toc324549804)

[3.3.4 Вибір мікросхеми дешифратора 26](#_Toc324549805)

[3.3.5 Вибір мікросхеми суматора 27](#_Toc324549806)

[3.4 Розрахунок споживаної потужності, швидкодії і вартості АЛП 27](#_Toc324549807)

[ВИСНОВКИ 29](#_Toc324549808)

[СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ 30](#_Toc324549809)

[ДОДАТОК А Функціональна схема АЛП 31](#_Toc324549810)

[ДОДАТОК Б Змістовний, закодований та розмічений графи мікропрограми додавання 32](#_Toc324549811)

[ДОДАТОК В Перелік мікросхем АЛП 33](#_Toc324549812)

# ВСТУП

Розвиток електронної обчислювальної техніки і її широке застосування в науці, техніці та промисловості – важливий фактор прискорення науково-технічного прогресу.

Комп'ютерна схемотехніка вивчає принципи побудови цифрових функціональних вузлів та пристроїв на основі інтегральних мікросхем і мікропроцесорних засобів. Розвиток мікроелектронної елементної бази є основою вдосконалення архітектури комп'ютерів та якісного поліпшення їх техніко-економічних показників – продуктивності, швидкодії, надійності, вартості та інших.

Тема курсового проекту «Спеціалізований арифметико-логічний пристрій комп'ютера» актуальна у зв'язку з широким застосуванням цифрової обчислювальної техніки в різних сферах діяльності людини. Ефективність сучасних комп’ютерних систем залежить від якості їх проектування.

Основні вимоги до курсового проекту (роботи):

* + одержання прогресивних технічних рішень;
	+ застосування формалізованих методів аналізу і синтезу цифрових схем;
	+ оптимальний вибір сучасних швидкодіючих інтегральних мікросхем різного ступеню інтеграції;
	+ забезпечення електричних режимів роботи інтегральних мікросхем;
	+ виконання вимог чинних державних стандартів.

Мета курсового проектування:

* закріплення, поглиблення та узагальнення теоретичних знань і розвиток навичок їх практичного застосування в галузі комп'ютерної схемотехніки;
* самостійне та колективне розв'язання конкретних фахових задач обчислювальної техніки;
* уміння користуватися відповідною довідковою літературою, державними стандартами;
* використання сучасних комп'ютерних інформаційних технологій.

Курсове проектування містить такі етапи:

* визначення теми і оформлення завдання на курсове проектування;
* безпосереднє виконання курсового проекту;
* оформлення пояснювальної записки та графічного матеріалу;
* захист курсового проекту.

# 1 АНАЛІЗ АРИФМЕТИКО – ЛОГІЧНИХ ПРИСТРОЇВ

## 1.1 Поняття архітектури і структури комп'ютерів

Комплекс електронного устаткування, що призначений для автоматизації процесів обробки інформації і має спільне керування, називається комп'ютером.

Архітектура – це найбільш загальні принципи побудови комп'ютерів. Вона охоплює коло питань, суттєвих, в першу чергу, для користувача: функціональний склад технічних та програмних засобів та їх взаємодію в процесі обробки інформації; систему команд, їх формати і способи кодування; методи адресації команд і даних та ін.



Рис. 1.1. Структура комп'ютера

Комп'ютер класичної архітектури (рис. 1.1) вміщує:

* АЛП;
* оперативну пам'ять (ОП);
* засоби зберігання і введення-виведення інформації: зовнішні запам'ятовувальні пристрої (ЗЗП); пристрої введення інформації (ПВв); пристрої виведення інформації (ПВив); усі ці пристрої називають зовнішніми чи периферійними (ПП);
* пристрій керування (ПК). Разом з АЛП він утворює процесор.

Арифметико-логічний пристрій призначений для виконання арифметичних і логічних операцій, передбачених системою команд певного комп'ютера.

Оперативна пам'ять призначена для тимчасового зберігання програм і даних.

Пристрій керування зчитує і дешифрує у відповідній послідовності команди, формує і подає керуючі сигнали для інших пристроїв комп'ютера. До ПК відносять і пульт оператора.

Процесор і ОП разом створюють ядро комп'ютера.

Операції введення-виведення – це обмін інформацією між ядром машини і ПП. Операція введення передає інформацію з ПП в ядро комп'ютера, а операція виведення – навпаки.

## 1.2 Основи побудови арифметико-логічних пристроїв

### 1.2.1 Принцип мікропрограмного керування

Арифметико-логічний пристрій функціонує на основі мікропрограмного керування. Кожна машинна операція розділяється на послідовність елементарних дій (передача слів, інверсія слів та ін.), які реалізуються в тактах. Елементарне функціональне обчислення, яке виконується в одному машинному такті, називається мікрооперацією. Кожна мікрооперація ініціюється відповідним керуючим сигналом. Сукупність мікрооперацій, які виконуються в одному машинному такті, називається мікрокомандою. Зокрема, мікрокоманда може вміщувати одну мікрооперацію або жодної.

Для вибору порядку проходження мікрооперацій аналізуються логічні умови, які набувають значення одиниці (так) чи нуля (ні) залежно від значень операндів і результатів обчислень. Мікроалгоритм операції, записаний в термінах мікрооперацій і логічних умов, називається мікропрограмою. Кожна машинна операція має свою мікропрограму.

### 1.2.2 Операційний та керуючий блоки

Будь-який цифровий обчислювач, в тому числі й АЛП, може представлятися композицією операційного і керуючого пристроїв. В операційному пристрої виконуються арифметико-логічні операції. Керуючий пристрій забезпечує виконання операцій за допомогою послідовності керуючих сигналів, яку він виробляє залежно від мікропрограми. В математичних моделях АЛП перший пристрій подається операційним автоматом, а другий – керуючим автоматом (рис. 1.2).



Рис. 1.2 Структура математичної моделі АЛП

Операційний автомат (ОА) приймає по входу *А* операнди, по входу *У* – керуючі сигнали {}, передає на вихід *X* результати операції і формує множину значень логічних умов {}.

Керуючий автомат (КА) приймає по входу *X* логічні умови {} і залежно від їх значень та коду операції по входу *F* формує послідовність керуючих сигналів {}.

### 1.2.3 Класифікація арифметико-логічних пристроїв

Арифметико-логічні пристрої класифікують за такими ознаками:

* способом оброблення даних – паралельні, послідовні, паралельно-послідовні;
* системою числення - двійкові, десяткові та ін.;
* формою подання чисел - з плаваючою комою, з фіксова­ною комою, цілі двійкові та десяткові числа;
* часом виконання операцій - синхронні та асинхронні;
* способом виконання мікрооперацій – із закріпленими мікроопераціями, із спільними операціями;
* типом керуючого автомата – зі схемною або програмованою логікою;
* методом побудови – багатофункціональні та блокові.

У синхронних АЛП на виконання різних операцій відводиться один і той же інтервал часу, а в асинхронних час виконання залежить від типу операції.

В АЛП можливі два типи КА:

* зі схемною («жорсткою») логікою, яка складається з елементів пам'яті (тригерів) і комбінаційних схем. Вони генерують відповідні керуючі сигнали {} в машинні такти залежно від коду операції;

* з програмною (яка зберігається в пам'яті) логікою: для кожної операції в спеціальній, частіше постійній, пам'яті записується мікропрограма у вигляді послідовностей керуючих слів – мікрокоманд. Вони містять інформацію про мікрооперації, що мають виконуватися в даному такті, та адресу наступної мікрокоманди.

Узагальнену і найбільш поширену структуру АЛП показано на рис.1. 3.



Рис. 1. 3 Узагальнена структура АЛП

До складу ОА універсальних комп'ютерів входять:

* арифметико-логічний блок (АЛБ);
* набір регістрів загального призначення (РЗП);
* блок контролю.

В АЛБ виділяють комбінаційний суматор *SМ,* вхідні регістри *А* і *В* для приймання операндів та вихідний регістр *С* для записування результату. В АЛБ є логічні схеми, які виробляють множини [] сигналів логічних умов (ознак результату), наприклад, нульовий або від'ємний результат та ін.

Регістри загального призначення використовують для приймання і зберігання операндів, проміжних та кінцевих результатів.

Блок контролю забезпечує перевірку правильності виконання арифметико-логічних операцій одночасною реалізацією тієї ж команди дублюючою апаратурою і порівнянням результатів або виконанням дій над спеціальними кодами, одержаними від операндів під час додавання за модулем два, модулем три та ін. У разі виявлення помилок і збоїв у роботі ОА блок контролю посилає в КА код помилок {}.

На АЛП поступає код операції від центрального пристрою керування. Застосування в АЛП пристроїв керування зі схемною логікою прискорює виконання операцій. Застосування КА з програмною логікою забезпечує гнучкість мікропрограмування, дозволяє змінювати склад мікропрограм у разі введення нових команд. У сучасних АЛП можуть поєднуватись обидва типи КА.

## 1.3 Типові функціональні вузли комп'ютерів

У комп'ютерах команди виконуються послідовністю мікрооперацій (елементарних дій в одному машинному такті), наприклад, інкремент (збільшення), декремент (зменшення) слова, зсув, інверсія, пересилання слова і т. ін. Електронні схеми, призначені для виконання мікрооперацій, називаються типовими функціональними вузлами комп'ютера.

За логікою роботи функціональні вузли поділяють на комбінаційні (автомати без пам'яті) і накопичувальні (автомати з пам'яттю).

У комбінаційних вузлах стан виходів залежить тільки від комбінації вхідних сигналів у певний момент часу. До комбінаційних типових функціональних вузлів належать:

* двійкові та двійково-десяткові суматори – призначені для додавання двох двійкових або двійково-десяткових чисел;
* дешифратори – використовуються для дешифрації вхідного двійкового позиційного коду;
* шифратори – перетворюють вхідний унітарний код у вихідний двійковий позиційний;
* мультиплексори – комутатори множини вхідних ліній на єдину вихідну;
* демультиплексори – комутатори єдиної вхідної лінії на одну із множини вихідних;
* компаратори – виробляють ознаки порівняння слів на: дорівнює, більше, менше;
* схеми контролю за модулем два – використовуються для контролю інформації в процесах зберігання, передачі та виконання операцій;
* перетворювачі кодів – призначені для перетворення коду з однієї форми в іншу, наприклад, прямого коду в доповняльний.
* У накопичувальних вузлах логічний стан виходів визначається як комбінацією вхідних сигналів, так і станом пам'яті в певний момент часу. До накопичувальних (послідовнісних) типових функціональних вузлів належать:
* регістри – призначені для записування, тимчасового зберігання і видачі двійкової інформації;
* лічильники – призначені для лічби імпульсів.

Проектування типових функціональних вузлів комп'ютера містить у собі такі етапи.

* Змістовна постановка задачі. Указують тип і розрядність проектованого вузла, особливості його зв'язків з іншими вузлами, тип схемної логіки, вимоги до швидкодії споживаної потужності.
* Аналіз розмірності (розрядності) задачі. На основі аналізу розмірності задачі приймають рішення про проектування вузла як цілісної системи або, у випадку великої розмірності, розбивають його на модульно-розрядні частини. Наприклад, синтезується однорозрядний суматор і потім за допомогою ланцюгів перенесення будується регулярна структура багаторозрядного суматора.
* Формалізоване задання алгоритмів роботи вузла. Логіку функціонування вузла задають таблицями істинності чи мікрооперацій, графом, картами Карно.
* Подання алгоритмів роботи вузла аналітичними виразами. Вигляд логічних рівнянь залежить від способу формалізованого задання роботи вузла. У разі використання таблиць істинності логічні рівняння записуються в канонічних формах – досконалих диз'юнктивних (ДДНФ) чи кон'юнктивних (ДКНФ) формах. Якщо робота вузла описується таблицею мікрооперацій, то в логічні рівняння як змінні включаються також і керуючі сигнали.
* Мінімізація одержаних логічних рівнянь, поданих у вигляді ДДНФ. Зручно виконувати за допомогою карт Карно чи діаграм Вейча (якщо число змінних не більше шести). Якщо число змінних більше шести, то використовують машинні способи мінімізації. Мінімізовані форми логічних рівнянь забезпечують побудову схем меншої вартості.

Перетворення мінімальних форм рівнянь до вигляду, зручного для реалізації в заданому елементному базисі. Проектування вузлів часто здійснюють на універсальних логічних елементах НЕ І або НЕ ЧИ. Для переходу до такого елементного базису виконують перетворення мінімальних диз'юнктивних або кон'юнктивних нормальних форм за допомогою правил подвійної інверсії з наступним застосуванням правил де Моргана.

## 1.4 Проектування комбінаційних схем

У виробництві часто використовують комбінаційні керуючі схеми, які задають значення параметрів технологічного процесу залежно від логічних ознак. Схема об'єкту керування з двійковими логічними аргументами *Х1, Х2,Х3* та *Х4* на виході показана на рис. 1.4. Комбінаційна схема залежно від значення аргументів на вході виробляє керуючі двійкові сигнали від до .

Комбінаційні схеми будуються на основі логічних елементів. Логічний стан виходів елементів комбінаційної схеми залежить тільки від комбінації вхідних сигналів у певний момент часу.



Рис. 1.4. Комбінаційна схема керування об'єктами

Областю визначення логічної функції *F* (*Х1* *Х2*, ...,*Хn*) є скінченна множина різних двійкових наборів довжиною *n*, на кожному з яких указується значення функції нуль або одиниця. Кількість різних двійкових наборів дорівнює множині *n*–розрядних двійкових чисел *т* = *2n*.

Довільну булеву функцію можна задавати різними способами: словесним описом, часовими діаграмами, геометричними фігурами, графами, таблицями істинності та аналітичними виразами.

У разі задання функції таблицею істинності в лівій її частині подано усі можливі двійкові набори, а в правій - вказано значення функції на цих наборах.

Розроблено універсальні (канонічні) форми представлення булевих функцій, які дають можливість одержати аналітичну форму довільної функції безпосередньо з таблиці істинності. Ця форма надалі може бути мінімізована або спрощена. Оскільки між мно­жиною аналітичних представлень і множиною схем, які реалізують цю функцію, існує взаємно однозначна відповідність, то пошук ка­нонічної форми запису є початковим етапом синтезу логічних схем. Найбільше поширення одержали ДДНФ і ДКНФ. Для одержання цих форм вводяться поняття мінтермів (конституєнта 1) і макстермів (конституєнта 0).

Мінтерм – це функція *п* змінних, яка дорівнює одиниці тільки на одному наборі. Мінтерм одержують як кон'юнкцію *п* змінних, що входять до нього у прямому виді.

Макстерм – це функція *п* змінних, яка дорівнює нулю тільки на одному наборі. Макстерм одержують як диз'юнкцію усіх змінних, що входять до нього у прямому вигляді, коли значення *Хі* = 0, або в інверсному вигляді, якщо значення *Хі* = 1.

Важливим етапом проектування комп'ютерних схем є мінімізація булевих функцій, тобто знаходження їх виражень з мінімальною кількістю букв. Мінімізація забезпечує побудову економічних схем комп'ютерів. Кожна клітинка карти Карно однозначно відповідає одному наборові таблиці істинності для функції *п* змінних або мінтермам цієї функції. Клітинки карти Карно часто нумерують десятковими цифрами – номерами наборів.

При мінімізації для кожного мінтерму, який входить у ДДНФ функції, ставиться одиниця, а інші клітинки не заповнюються.

Мінтерми в сусідніх клітинках карти Карно в рядку (з урахуванням верхніх і нижніх) або в стовпчику (з урахуванням крайніх) розрізняються значенням однієї змінної, що дозволяє виконувати операцію склеювання за цією змінною.

# 2 ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО – ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЇ ДОДАВАННЯ. ШИФР – АЛП

## 2.1 Початкові дані до проекту

Вхідні дані до проектування АЛП:

* тип арифметичної операції — додавання двійкових чисел;
* початковий код подання операндів — доповняльний;
* розрядність операндів — 16 біт;
* код виконання операції у суматорі — доповняльний модифікований;
* структура операційного блока — із закріпленими мікроопераціями;
* тип керуючого блока — автомат Мілі з пам'яттю на JK-тригерах;
* схема логічної ознаки переповнення розрядної сітки;
* схема логічного порозрядного додавання кодів вхідних операндів *А* і *В.*

Елементна база – інтегральні схеми ТТЛШ серій К1531, КР1533

Перелік обов'язкового графічного матеріалу:

* граф-схеми мікропрограми додавання;
* схема електрична функціональна;
* схема електрична принципіальна;
* перелік елементів (специфікація).

 Потрібно виконати розрахунки:

* кількості мікросхем у пристрої АЛП;
* споживаної потужності;
* швидкодії АЛП на прикладі операції додавання типу "регістр-регістр".

## 2.2 Алгоритм додавання двійкових чисел

Додавання і віднімання двійкових чисел можна виконувати в обернених або доповняльних кодах та їх модифікаціях. У сучасних комп'ютерах часто операнди збері­гаються в пам'яті в доповняльних кодах. Використання доповняльних кодів в операціях додавання і віднімання та для зберігання операндів у пам'яті має такі переваги:

* однозначне подання знака результату як додатного, так і від'ємного;
* під час записування в пам'ять від'ємного результату не витрачається час для його перетворення в прямий код;
* менше дій для аналізу знака результату, зокрема переповнення розрядної сітки.

 Алгоритм додавання двійкових чисел:

* у першому і другому машинних тактах із вхідної шини паралельним кодом записуються операнди *А* і *В* у відповідні регістри *RGA* i *RGB* . Зчитування операндів здійснюється ЦПК;
* протягом одного машинного такту виконується мікрооперація додавання;
* за відсутності переповнення розрядної сітки результат записується у регістр *RGC*;
* за наявності переповнення результат не фіксується і в ЦПК подається сигнал переповнення ПП.

## 2.3 Функціональна схема АЛП

Функціональну схему шіснадцятирозрядного АЛП для виконання операції додавання показано в додатку А.

Функціональна схема АЛП містить:

* регістри *RGА* і *RGВ* для приймання і подальшого зберігання із вхідної шини Ш1 першого і другого операндів;
* паралельний комбінаційний суматор *SM*;
* регістр результату *RGС*, дані з якого пересилаються по вихідній шині Ш2 в оперативну пам'ять;
* схеми електронних ключів *SW*1 і *SW*2;
* схему вироблення ознак переповнення ОР;
* схему диз'юнкторів *ХОR* для виконання операцій порозрядного логічного додавання кодів операндів А і В.

Ознака результату обчислюються за допомогою булевого виразу:

 - переповнення розрядної сітки ПП (знаки дорівнюють 01 чи 10).

Ознака Х*ОR* реалізується за допомогою восьми логічних двовходових елементів «виключальне АБО» за співвідношенням:

  *і* = 1,2, ...,8,

де *Fi* — *i*-й вихід вузла логічного додавання. Ця операція виконується автоматично незалежно від коду команди.

## 2.4 Мікропрограма додавання двійкових чисел

Мікропрограма додавання двійкових чисел у доповняльних кодах має такий вигляд:

Початок. Якщо *К*[1], то М1, інакше — чекати

 *М*1 *у*1: *RGA* := *А* <приймання першого операнда>

*у*2: *RGВ*:= *В*  <приймання другого операнда>

*у*3: *SM*:=*А* + *В* <додавання>

Якщо *φ*3, то *М*2. інакше

*у*4 : *RGC* := *SM* <присвоєння результату>

*у*5 : *Ш*2:= *RGC* <пересилання в пам'ять>

 Перейти до *М*3

 *М*2 *y*6 : *Т*П :=ПП <тригеру переповнення *Т*П присвоюється ознака ПП>

 *М3*  Кінець.

 *Примітка.* *К*[1] однорозрядний код команди додавання.

Змістовний і закодований графи мікропрограми віднімання показано в додатку Б.

## 2.5 Принципова схема модуля операційного блока МОБ

Модуль МОБ будується на мікросхемах ТТЛШ серії КР1533 за винятком суматора, взятого із серії КР1531.

Принципова схема модуля МОБ містить:

* чотири вхідних восьмирозрядних регістри *RGA* і *RGB* типу ИР35, позиційне позначення DD1 – DD4;
* чотири мікросхеми типу ЛЛ1, позиційне позначення DD5 – DD8. Призначені для реалізації логічного порозрядного додавання кодів вхідних операндів *А* і *В*;
* вісім мікросхем типу ЛИ1, позиційне позначення DD9–DD16, задіяні усі секції. Призначені для побудови двох схем електронних ключів SW1, SW2;
* чотири мікросхеми суматорів ИМ6, позиційне позначення DD17 – DD20;
* два вихідних восьмирозрядних регістрів *RGC* типу ИР22 з трьома станами, позиційне позначення DD21, DD22. Використовується для приймання результату додавання і його передавання на вихідну шину Ш2;
* мікросхему типу ЛП5, яка містить чотири логічні елементи «виключальне АБО», позиційне позначення *DD*31. Використовують для створення старшого знакового розряду суматора і логічної ознаки  *φ*3 = *х*1 та .

## 2.6 Проектування модуля керуючого блока МКБ

Проектування модуля керуючого блока (МКБ) на основі автомата Мілі з пам’яттю на *JK*-тригерах виконується в такій послідовності.

* Розмічається закодований граф мікропрограми додавання (див. рис.2). Визначається максимальна кількість станів автомата Мура, що дорівнює *L* = 5. Для реалізації такого числа станів необхідно використати тригери.
* На основі розміченого графу мікропрограми будується граф автомата Мілі (рис. 2.1), який інтерпретує мікропрограму додавання.



Рис. 2.1 Граф автомата Мілі для мікропрограми додавання

* Стани автомата Мура кодуються значеннями виходів *JK*-тригерів:

  …, 

* На основі графу автомата Мілі записується його структурна таблиця переходів (табл.2.1).

Таблиця 2.1 Структурна таблиця переходів автомата Мура

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| $$Z\_{i}$$ | K ($Z\_{i}$) | $$Z\_{j}$$ | K ($Z\_{i}$) | {$x\_{j}$} | {$y\_{i}$} | JK |
| K | J |
| $$Z\_{1}$$ | 000 | $$Z\_{1}$$$$Z\_{2}$$ | 000001 | $$\overbar{β}$$$$β$$ | -$$ y\_{1}$$ | -- | -$$ J\_{1}$$ |
| $$Z\_{2}$$ | 001 | $$Z\_{3}$$ | 010 | 1 | $$y\_{2}$$ | $$ K\_{1}$$ | $$ J\_{2}$$ |
| $$Z\_{3}$$ | 010 | $$Z\_{4}$$ | 011 | 1 | $$y\_{3}$$ | - | $$ J\_{1}$$ |
| $$Z\_{4}$$ | 011 | $$Z\_{1}$$$$Z\_{5}$$ | 000100 | $$x\_{1}$$$$\overbar{x\_{1}}$$ | $$y\_{6}$$$$y\_{4}$$ | $$ K\_{1}, K\_{2}$$$$ K\_{1}, K\_{2}$$ | -$$ J\_{3}$$ |
| $$Z\_{5}$$ | 100 | $$Z\_{1}$$ | 000 | 1 | $$y\_{5}$$ | $$ K\_{3}$$ | - |

* На підставі даних табл.1 записуються системи рівнянь для функцій збудження входів *JK*-тригерів і виходів:
* для функцій збудження входів:

  

  

* для вихідних керуючих сигналів:

     

* Будується принципіальна схема модуля керування МКБ (рис.5).

Відповідність між входами керування мікросхем модуля МОБ і сигналами мікрооперацій наведена в табл. 2.2.

Таблиця 2.2. Таблиця відповідності між керуючими входами мікросхем і сигналами мікрооперацій

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| Входи |  |  |  |  |  |  |
| Сигнали мікрооперацій |  |  |  |  |  |  |

Принципова схема містить:

* DD23, DD24 – мікросхеми типу ТВ6, які містять чотири *JK*-тригерів. Три тригери створюють пам'ять автомата Мура, тригер на виході *Т*П фіксує ознаку переповнення;
* DD25 – мікросхему дешифратора типу ИД7;
* *DD*26, *DD*27 – дві мікросхеми типу ЛН1, кожна з яких містить шість інверторів;
* *DD*28 – мікросхему типу ЛИ1, яка містить чотири кон’юнктори;
* *DD*29*, DD*30 *–* дві мікросхеми типу ЛЛ1.

# 3 ВИБІР ЕЛЕМЕНТНОЇ БАЗИ І ПОБУДОВА ПРИНЦИПОВОЇ СХЕМИ АЛП

## 3.1 Характеристика сучасної елементної бази

Елементну базу сучасних комп'ютерів складають інтегральні мікросхеми – мікроелектронні вироби з високою щільністю пакування елементів і з'єднань між ними. З погляду специфікації, випробувань, постачання й експлуатації мікросхеми розглядаються як єдине ціле.

Набір цифрових мікросхем із загальними конструктивно – технічними і схемотехнічними ознаками утворює серію інтегральних мікросхем (ІМС). До серії ІМС ставляться такі вимоги:

* наявність функціонально-повної системи логічних елементів, широкий набір типових вузлів і зручність їх застосування (монтаж, компонування, охолодження і взаємозамінність);
* наявність допоміжних мікросхем для узгодження навантажувальних характеристик елементів і формування електричних сигналів;
* досягнення високого рівня технології виробництва мікросхем.

Логічні, схемотехнічні й експлуатаційні властивості логічних елементів визначаються сукупністю характеристик і параметрів, до яких відносять:

* функції логічних елементів – ЧИ, І, НЕ, НЕ-ЧИ, ВИКЛЮЧАЛЬНЕ ЧИ, НЕ-І-ЧИ та інші;
* логічні угоди – спосіб кодування двійкових змінних потенціальними сигналами – позитивний чи негативний;
* коефіцієнт об'єднання за входом N, який характеризує кількість логічних входів елемента;
* коефіцієнт об'єднання за виходом К0 – характеризує допустиму кількість з'єднаних між собою виходів логічних елементів;
* коефіцієнт розгалужування N0;
* потужність споживання і робота перемикання;
* надійність елементів і допустимі значення механічних впливів, діапазони тиску і температури навколишнього середовища, стійкість до радіаційних впливів;
* маса, вартість і конструктивне оформлення.

У більшості випадків зазначені характеристики і параметри стосуються і ІМС, які реалізовані на цих елементах.

Сучасні елементи споживають потужність від мікроватів до десятків міліватів.

Одним з основних параметрів, які визначають сфери використання ІМС, є швидкодія. З цим параметром безпосередньо пов'язані споживана потужність, ступінь інтеграції та інші параметри.

За швидкодією ІМС класифікують так:

* надшвидкодіючі - час затримки логічного елемента до 1 нс;
* високої швидкодії - час затримки до 10 нс;
* середньої швидкодії - час затримки до 50 нс;
* низької швидкодії - час затримки більше 50 нс.

Указані границі умовні і введені для зручності аналізу можливостей ІМС різних серій і вирішення питань їх застосування в проектованих пристроях.

Сукупність елементів із загальною ознакою побудови типового базового елемента утворюють вид схемної логіки або просто логіку. Розрізняють такі основні види логіки потенціальних елементів:

* емітерно-зв'язану логіку (ЕЗЛ);
* транзисторно-транзисторну логіку з діодами Шотткі (ТТЛШ);
* інтегральну інжекційну логіку (ІІЛ);
* логіку на комплементарних МОН-структурах (КМОН);
* логіку на польових транзисторах із затвором Шотткі на основі арсеніду галію.

## 3.2 Характеристика елементів серії ТТЛІІІ

Мікросхеми ТТЛШ призначено для застосування в цифрових пристроях високої швидкодії. Серії мікросхем ТТЛШ вміщують широкий набір логічних елементів, тригерів, вузлів (регістри, лічильники, суматори та ін.). Наявність готових вузлів у серіях дозволяє зменшувати кількість корпусів мікросхем і одержувати значний виграш в об'ємі апаратури.

Серії елементів ТТЛІІІ мають функціональну і технічну повноту, працюють від джерела живлення плює 5 В, сумісні за рівнями логічних сигналів, а частина - і за розведенням (цоколівкою) виводів корпусів мікросхем.

У елементах ТТЛІІІ вдало поєднуються схемотехнічні, технологічні й конструктивні властивості:

* високий рівень схемно-технологічного відпрацювання, що забезпечує високий відсоток виходу придатних мікросхем і низьку вартість виготовлення;
* порівняно високі швидкодія і завадостійкість;
* висока навантажувальна здатність N = 10...30 і помірна споживана потужність;
* зручність застосування (монтаж, компонування, охолод­ження).

До недоліків елементів ТТЛІІІ відносять: меншу швидкодію порівняно з ЕЗЛ, труднощі узгодження з низькоомним навантажу­ванням, значний рівень утворення завад, зростання споживаної по­тужності з підвищенням частоти перемикання.

До першого покоління мікросхем ТТЛІІІ належать серії К530, К531, К533, К555. Вони замінили мікросхеми на елементах ТТЛ серій К130, К131, К155, К134, К158 (роки розробки 1967–1968). За рахунок застосування діода Шотткі між колектором і базою транзистора позбулися насиченого режиму роботи і досягли більш високої швидкодії

Мікросхеми ТТЛШ серій КР1530, КР1531 і КР1533 – це група перспективних мікросхем, які прийшли на зміну серіям К530, КР531, К533, К555.

Серії мікросхем ТТЛШ перекривають широкий діапазон робочих частот: до 30 МГц (серії К533, К555), до 50 МГц (серії КР1533), до 80...100 МГц (серії К530, КР531, КР1531), до 150...200 МГц (серія КР1530).

У нашій країні найбільш освоєні мікросхеми ТТЛШ серії КР1533. їх виготовляють за вдосконаленою епітаксіально–планарною технологією з діодами Шотткі і оксидною ізоляцією, одно- і дворівневою металізованою розводкою. Конструктивно мі­кросхеми серії КР1533 розміщені в стандартних пластмасових корпусах з кількістю виводів 14, 16, 20 і 24.

Указівки до застосування і експлуатації мікросхем серії КР1533:

* температурний діапазон робочого середовища від мінус 10оС до плюс 70°С;
* нароблення на відмову – 50000 год;
* інтенсивність відмов – не більше 0,9-106 год-1;
* допустимі відхилення напруги живлення від номінального – не більше ±2%;
* мікросхеми призначені як для автоматизованого, так і ручного монтажу апаратури;
* мікросхеми замінювати тільки при вимкнених джерелах живлення;
* вільні входи підключати до джерела постійної напруги 5В±10% через резистор *R* = 1кОм або заземляти;
* ємність входу – не більше 5 пФ;
* допускається підключення до виходів ємності не більше 200 пФ, при цьому норми на динамічні параметри не регламентуються;
* допустиме значення статичного потенціалу – до 200 В;
* допускається короткочасна (протягом не більше 5 мс) дія напруги живлення до 7 В;
* власних резонансних частот мікросхем до 20 кГц немає;
* максимальний час фронту наростання та час спаду вхідного імпульсу – не більше 1 мкс.

## 3.3 Вибір інтегральних мікросхем для побудови принципової схеми арифметико-логічного пристрою

Для побудови швидкодіючих цифрових мікросхем рекомендується використовувати мікросхеми ТТЛШ другого покоління серій КР1530, КР1531 і КР1533. У нашій країні найбільшу номенклатуру виробів має серія КР1533. В її складі є широкий набір чотири- і восьмирозрядних регістрів, дешифраторів, тригерів, логічних елементів.

### 3.3.1 Вибір типу регістра

Вибираючи конкретний тип регістра, враховують такі вимоги:

* високу швидкодію, мінімальну споживану потужність, що забезпечує мінімальну роботу перемикання;
* найбільшу розрядність;
* забезпечення керованого паралельного записування та зчи­тування інформації;
* наявність входу скидання;
* можливість виконання мікрооперацій зсуву в схемах АЛП при операціях множення та ділення.

Перерахованим вимогам відповідають мікросхеми регістрів типу КР1533ИР35 та КР1533ИР22.

Мікросхема КР1533ИР35 – це восьмирозрядний регістр на D – тригерах (рис. 3.1). Інформація записується по фронту тактового імпульсу при *L*=1, *R* =1 і відразу передається на вихід. При *R* = 0 на виходах регістра встановлюються низькі рівні напруги (лог.0 при позитивному кодуванні).



Рис. 3.1 Регістр КР1533ИР35: *а* – умовне графічне позначення;

*б* – принципова схема.

### 3.3.2 Вибір мікросхем для побудови логічних схем пристроїв

Для побудови логічних схем пристроїв використовують мікросхеми інверторів ЛН1 (логічна операція НЕ), диз'юнкторів ЛЛ1 (чи, виключальне АБО) та кон'юнкторів ЛИ1 (логічна операція І) та ЛП5 (операція ВИКЛЮЧАЛЬНЕ ЧИ) (рис. 3.2).



Рис. 3.2 Умовні графічні позначення мікросхем ТТЛШ серії КР1533:

*а* – інвертори ЛН1; *б, д* - диз'юнктори ЛЛ1; *в* - кон'юнктори ЛИ1, *г* – виключальне чи ЛП5.

### 3.3.4 Вибір мікросхеми дешифратора

Для дешифрації станів пам'яті керуючих автоматів використовується подвоєний дешифратор з індивідуальними інформаційними та стробуючими входами КР1533ИД7 (рис. 3.4)*.*

Мікросхема представляє собою дешифратор-демультиплексор 3 на 8. При роботі мікросхеми в якості дешифратора входи D1, D2, D4 є інформаційними, а входи Е1 - Е3 грають роль стробуючих.

Таблиця 3.1 Таблиця призначення виводів дешифратора

|  |  |  |
| --- | --- | --- |
| Номер виводу | Позначення | Призначення |
| 01 | D1 | Інформаційний вхід нульового розряду |
| 02 | D2 | Інформаційний вхід першого розряду |
| 03 | D4 | Інформаційний вхід другого розряду |
| 04 | Е2 | Інформаційний вхід |
| 05 | Е3 | Інформаційний вхід |
| 06 | Е1 | Інформаційний вхід |
| 07 | Y7 | Вихід |
| 08 | 0V | Загальний вихід |
| 09 | Y6 | Вихід |
| 10 | Y5 | Вихід |
| 11 | Y4 | Вихід |
| 12 | Y3 | Вихід |
| 13 | Y2 | Вихід |
| 14 | Y1 | Вихід |
| 15 | Y0 | Вихід |
| 16 | U | Вивід живлення від джерела напруги |

При роботі мікросхеми в якості демультиплексора входи D1, D2, D4 є вибірковими і подача на них відповідного коду дозволяє сигналу проходити від інформаційного входу до вибраного виходу. Роль інформаційного грає вхід Е1, а Е2 і Е3 є вибірковий.

### 3.3.5 Вибір мікросхеми суматора

Мікросхеми суматорів призначені для підсумовування двох вхідних двійкових кодів, тобто вихідний код дорівнюватиме арифметичній сумі двох вхідних кодів. Суматори бувають одно розрядні (для підсумовування двох однорозрядних чисел), 2-х розрядні (підсумовують 2-х розрядні числа) і 4-х розрядні (підсумовують 4-х розрядні числа). В даному АЛП використовуються саме 4-х розрядні суматори, які відрізняються від інших підвищеною швидкодією і номерами використовуваних виводів мікросхеми, функція ж виконується та ж сама.

Крім вихідних розрядів суми і виходу переносу, суматори мають вхід розширення (інша назва – вхід переносу) С для об'єднання декількох суматорів з метою збільшення розрядності. Якщо на цей вхід приходить одиниця, то вихідна сума збільшується на одиницю, якщо ж приходить нуль, то вихідна сума не збільшується. Якщо використовується одна мікросхема суматора, то на її вхід розширення С необхідно подати нуль.

Суматори можуть використовуватися також для підсумовування чисел в негативній логіці (коли логічної одиниці відповідає електричний нуль, і навпаки, логічному нулю відповідає електрична одиниця).

## 3.4 Розрахунок споживаної потужності, швидкодії і вартості АЛП

Згідно з довідковими даними мікросхеми ТТЛІІІ серії КР1533, які використано для побудови АЛП1, споживають таку потужність:

*РИР35* = 122 мВт; *РИР22* = 100 мВт;

*РИМ6* (тип Е, серія КР1531) = 180 мВт;

*РИД7*= 50 мВт; *РТМ9* = 22,5 мВт;

*РЛП5*= 30 мВт; *РЛН1*= 13 мВт;

*РЛЛ1* = 22,5 мВт; *РЛИ1* = 16 мВт.

Потужність, яку споживає будь-який пристрій, розраховується додаванням потужностей всіх використаних мікросхем.

Споживана потужність АЛП

Потужність, яку споживає пристрій АЛП, розраховується додаванням потужностей всіх мікросхем і становить:

*РАЛП = 4РИР35 + 2РИР22 + 4РИМ6 + РИД7 + 2РТВ6 + 2РЛН1 +6РЛЛ1 + РЛП5+ 9РЛИ1*= (4·122 + 2·100 + 4·180 + 50 + 2·22,5 + 2·13 + 6·22,5 + 30 + 9·16) 10-3=1,838 Вт.

Швидкодія і вартість АЛП

Мікросхема КР1531ИМ6 реалізує додавання двох чотирирозрядних операндів за *tSM.1* —15 нc. При додаванні восьмирозрядних операндів тривалість мікрооперацій подвоюється, тобто *tSM.2* = 2 • *tSM.1* = 30 нc. Враховуючи затримки сигналів, що подають­ся на входи суматора, рекомендується обирати тривалість машин­ного такту *Тс* = 2 • *tSM.2*  = 60 нc. При цьому швидкодія АЛП, вира­жена кількістю операцій додавання за секунду типу «регістр- регістр», становитиме F = *1/Тс* ≈ 16 млн оп/с.

Вартість визначається загальною кількістю використаних мікросхем. Загальна кількість використаних мікросхем – 31 штука.

# ВИСНОВКИ

В даному курсовому проекті було розроблено Спеціалізований арифметико-логічний пристрій для комп’ютера, який виконує операцію додавання.

Даний пристрій був побудований з мікросхем серії КР1533, КР1531 типу ТТЛШ.

Під час даного проектування я покращив свої практичні та теоритичні навики та знання з предмету «Комп’ютерна схемотехніка», а саме:

* закріплення, поглиблення та узагальнення теоретичних знань і розвиток навичок їх практичного застосування в галузі комп'ютерної схемотехніки;
* самостійне та колективне розв'язання конкретних фахових задач обчислювальної техніки;
* уміння користуватися відповідною довідковою літературою, державними стандартами;
* використання сучасних комп'ютерних інформаційних технологій.

# СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Алексенко А. Г., Шагурин П. И. Микросхемотехника: Учеб. пособие для вузов. -М.: Радио и связь, 1990, - 496 с.
2. Угрюмое Е. П. Цифровая схемотехника: Учеб. пособие - СПб.: БХВ - Петербург, 2001. - 528 с.
3. Бабич М. П., Жуков І. А. Комп'ютерна схемотехніка. Навч. посібник. - К.: НАУ, 2002. - 508 с.
4. Прикладная теория цифровых автоматов / К. Г. Самофалов, А. М. Романкевич, В. Н. Валуйский и др. - К.: Вища шк., 1987. - 375 с.
5. Соломатин Н. М. Логические элементы ЭВМ: Практ. пособие для вузов. - 2-е изд., перераб. и доп. - М.: Высш. шк., 1990. - 160 с.
6. Схемотехника ЭВМ: Учебник / Под ред. Г. Н. Соловьева. - М.: Высш. шк., 1985. - 391 с.
7. Угрюмое Е. П. Проектирование элементов и узлов ЭВМ: Учеб. пособие - М.: Высш. шк., 1987. - 318 с.
8. Нефедов А. В. Интегральные микросхемы и их зарубежные аналоги: Справ. Т.3. - М.: КУбК-а, 1997. - 544 с.
9. Логические ИС КР1533, КР1554: Справ. В 2-х частях / И. И. Петровский, А. В. Прибыльский, А. А. Троян, В. С. Чувелев. - М.: Бином, 1993. - 496 с.
10. Логические основы и схемотехника цифровых ЭВМ: Прак­тикум. / В. И. Жабин, В. В. Ткаченко, А. А. Зайцев, Р. Л. Антонов - К.: ВЕК+, 1999. - 128 с.
11. ГОСТ 2.743-91. ЕСКД. Обозначения условные графиче­ские в схемах. Элементы цифровой техники. - Введ. 01.01.93.
12. ГОСТ 2.743-91. ЕСКД. Правила выполнения электриче­ских схем цифровой вычислительной техники. - Введ. 01.01.82.

# ДОДАТОК А Функціональна схема АЛП



МОБ – модуль операційного блоку

МКБ1 – модуль керуючого блоку

SW1, SW2 – схеми електроних ключів

OR – схема порозрядного логічного додавання

ОР – схема ознаки результату (знак результату)

# ДОДАТОК Б Змістовний, закодований та розмічений графи мікропрограми додавання



Змістовний граф Закодований та

 мікропрограми розмічений граф

 додавання мікропрограми

 додавання

# ДОДАТОК В Перелік мікросхем АЛП

|  |  |  |  |
| --- | --- | --- | --- |
| Позначення | Найменування мікросхеми | Кількість | Примітка |
| *DD1-DD4* | КР1533ИР35 | 4 |  |
| *DD4-DD8, DD29-DD30* | КР1533ЛЛ1 | 5 |  |
| *DD9-DD16, DD28* | КР1533ЛИ1 | 10 |  |
| *DD17-DD20* | КР1531ИМ6 | 4 |  |
| *DD21-DD22* | КР1533ИР22 | 2 |  |
| *DD23-DD24* | КР1533ТВ6 | 2 |  |
| *DD25* | КР1533ИД7 | 1 |  |
| *DD26-DD27* | КР1533ЛН1 | 2 |  |
| *DD31* | КР1533ЛП5 | 1 |  |