**РЕФЕРАТ НА ТЕМУ:**

**Контрольна робота**

*з дисципліни*

***“*Комп’ютерна схемотехніка *”***

##### Загальні положення

Функція , що залежить від n змінних х1х2,...,хn, називається булевою, або перемикаючою, якщо функція f і любий з її аргументів хi, і є  приймають значення тільки з множини {0;1}. Аргументи булевої функції також називаються булевими.

Логічні схеми виконують операції над змінними, котрим ставлять у відповідність елекгричні сигнали, що можуть, як і змінні, приймати лише два значення. Такими сигналами можуть бути присутність напруги не менше заданої величини або відсутність її (останньому поняттю відповідає припущення, що напруга не перевищує деякої заданої достатньо малої величини). Ці сигнали, що визначаються рівнем напруги називаються потенціальними, а схеми, що їх використовують - потенціальними логічними схемами. Логічним змінним можуть відповідати також наявність або відсутність тактового імпульсу у визначені моменти часу. Такі сигнали і логічні схеми, що їх використовують, називають імпульсними. Якщо прийнято, що високий рівень сигналу відповідає логічній одиниці “1”, а низький логічному нулеві “0”, то така логіка називається додатньою, в протилежному випадку говорять про від’ємну логіку.

Основні (базові) логічні елементи показані на рис.1.



* логічний елемент "І" (AND);

логічний елемент "АБО" (ОR);

логічний елемент "Виключаюче АБО" (ХОR);

логічний елемент "НІ" (Інвертор) (INV);

логічний елемент "АБО-НІ" (NOR).

***Рис 1. Умовні позначення логічних елементів.***

В даній лабораторній роботі при дослідженні базових елементів булевої логіки використовують логічні елементи потенціального типу на біполярних транзисторах (мікросхема К155ЛАЗ).

Існує декілька простих логічних функцій, які можна реалізувати відповідно з допомогою декількох логічних схем:

**а)** логічне заперечення (інверсія, операція "НІ") полягає в отриманні змінної, що протилежна до даної, У = ā

**б)** логічне додавання (диз'юнкція, операція "АБО") полягає в тому, що функція приймає значення рівне 1, якщо хоча б один з аргументів рівний 1, У = a v b

**в)** логічне множення (кон'юнкція, операція "І") полягає в тому, що функція приймає значення рівне 1, якщо всі аргументі одночасно рівні 1, У= a ^ b

**г)** заперечення кон’юнкції (штрих Шеффера, операція "І-НІ"), яка містіть в собі логічне множення і заперечення, У= ā



**д)** заперечення диз'юнкції (стрілка Пірса, операція "АБО-НІ”), яка містить в собі логічне додавання і заперечення, У = ā



Логічні схеми, що реалізують останні дві функції, мають дві частини: перша являє собою схему, котра реалізує функцію множення і додавання, друга являє собою інвентор, побудований в простішому випадку на одному транзисторі. В зв'язку з тим, що з допомогою штриха Шеффера або стрілки Пірса можна вирішити будь-яку логічну задачу (обидві ці функції володіють необхідною і достатньою функціональною повнотою) за допомогою логічної схеми одного лише типу "І-НІ" чи "АБО-НІ можна повністю побудувати будь-який цифровий пристрій. Тому в інтегральному виконанні найбільше розповсюдження знаходять ці два види логічних схем. Зустрічаються логічні елементи на біполярних транзисторах, що являють собою об'єднання двох попередніх схем; їх входи розділені на частини -всередені кожної частини виконується операція "І", а між частинами операція "АБО" з подальшою операцією "НІ" (логічні елементи "I-АБО-НІ). Такі схеми дозволяють економити число інвенторів, що важливо з точки зору зменшення споживаної потужності, зменшення завад, що генеруються схемою при перемиканнях, збільшення швидкодії.

В Інтегральній техніці знайшли застосування декілька типів основних логічних схем, які відрізняються елементами, що реалізують логічну операцію "1" чи "АБО", а також методом зв'язку між схемами в послідовних колах. Найбільшого поширення при виготовленні елементів малої і середньої степені інтеграції набула транзисторно-транзисторна логіка (ТТЛ). Елементи ТТЛ характерні тим. що з для зменшення впливу ємнісного навантаження (тобто з для підвищення швидкодії) вхідне коло таких елементів виконується на основі багатоемітерного транзистора по схемі з спільною базою, який має низький вхідний опір. В таких схемах необхідно, щоб коло, яке є генератором для багатоемітерного транзистора, при відключенні останнього було низькоомним і забезпечувало б швидке розсмоктування неосновних носіїв, накопичених в базі багатоемітерного транзистора. Для цього вихідний каскад попереднього однотипного елементу повинен бути достатньо потужним і низькоомним. Схема типового базового елемента ТТЛ представлена на рис 2. Даний елемент реалізує функцію "І-НІ в додатній логіці і функцію "АБО-НІ у від'ємній логіці, причому на транзисторах VТ2–VТ4 реалізовано складний інвентор, який здійснює операцію "НІ". Таке схемне рішення дозволило забеспечити високу навантажувальну здатність, достатню швидкодію і завадостійкість схеми, оскільки струм в закритому стані схеми створюється малим вихідним опором емітерного повторювача, зібраного на транзисторі VТЗ. а у відкритому стані струм, що поступає в схему, забезпечується малим вихідним опором відкритого транзистора VТ4.

Якщо на всі входи багатоемітерного транзистора VТ1 подані напруги, що відповідають рівню логічної одиниці, то струм через резистор НІ тече в базу транзистора VТ2, а потім підсилений струм з емітера VТ2 поступає в базу вихідного інвертуючого транзистора VТ4, відкриваючи його; при цьому транзистор VТЗ буде закритий і напруга на виході буде відповідати рівню логічного нуля. Якщо хоча б на одному вході багатоемітерного транзистора появиться вхідна напруга, що відповідає рівню логічного нуля, то відкриється відповідний перехід база-емітер, багатоемітерний транзистор перейде в стан насичення і потенціал його колектора стане близьким до нуля. Тобто. VТ2 закриється, VТЗ відкриється, а на виході схеми встановиться напруга, яка відповідає рівню логічної одиниці.

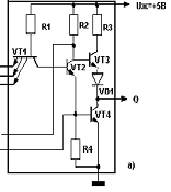


Рис. 2. Базова схема елемента "І–НІ" ТТЛ схеми з резистором в колекторі вихідного транзистора (а) і її умовне позначення (б).

Для збільшення логічних можливостей ТТЛ-схем до виводів від точок 1 і 2 інвертора під'єднується логічний розширювач (рис.2,а); при цьому реалізується логічна функція

"І-АБО-НI”:

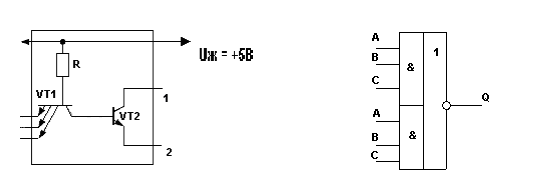
 a) б)

Рис.2. Логічний розширювач (а) і умовне графічне позначення логічної схеми “І – АБО – НІ” (б).

***Поняття додатньої і від'ємної логіки.***В додатній логіці лог. " 1" відповідає високий рівень цифрового сигналу, лог. "О" - низький рівень. Тому один і той самий елемент наприклад мікросхеми К155ЛАЗ відповідає двом логічним функціям, в нашоми прикладі це функція "І-НГ для додатньої логіки і - "АБО-НI для від'ємної логіки.

***Основні електричні параметри***базових логічних елементів (ЛЕ) визначають характеристики практично всіх мікросхем, що входять до конкретної серії, і визначають можливість сумісної роботи мікросхем різних серій в складі апаратури. До таких параметрів відносяться:

* швидкодія;
* споживна потужність (РСП);
* завадостійкість (Uзв);
* коефіцієнт розгалуження по виходу (навантажувальна здатність) (КРОЗ);
* коефіцієнт об'єднання по входу (КоБ).

Швидкодія визначається динамічними параметрами цифрових мікросхем, до яких відносяться:

* t 0,1 – час переходу їз стану низького рівня в стан високого рівня;
* t 1,0ЗТР – час затримки розповсюдження при включенні;
* t 1,0ЗТ – час затримки включення;
* t 0,1 ЗТ – час затримки виключення;
* t 0,1ЗТР – час затримки розповсюдження сигналу при виключенні;
* tЗТРСР – середній час затримки розповсюдження сигналу;
* τі – тривалість імпулса;
* fр-робоча частота.

Середній час затримки розповсюдження t ЗТРСР = 0,5 (t1,0ЗТР + t0,1ЗТР ) є усередненим параметром швидкодії, що використовується при розрахунку часових характеристик послідовно включених цифрових мікросхем. В довідникових даних найбільш часто приводяться наступні динамічні параметри цифрових мікросхем: t1,0зт,  t0,1зт, t1,0зтр,  t0,1зтр.

На рис.З. показані рівні відліків, відносно яких визначаються вказані динамічні параметри.



Рис.З. Рівні відліків цифрового сигналу, відносно шасе визначаються динамічні параметри цифрових мікросхем.

Потенціальні логічні елементи при роботі в складі цифрового пристрою можуть знаходитись в статичному режимі (в стані "0" або "1") чи в динамічному режимі (перехідний процес). В залежності від виду технології, по якій виконано ЛЕ, потужність, споживана від джерела живлення, різна для кожного стану. Одні елементи споживають більшу потужність в статичному режимі, яка лише незначно збільшиться в момент перемикання, другі навпаки, характеризуються значним зростанням споживаного струму під час перемикання.

Середня споживана потужність логічних елементів в статичному режимі :

**Рспср=0,5 (Р0 сп+Р1 сп),**

де Р°сп – потужність споживана мікросхемою при вихідному стані

Р1 сп – потужність споживана мікросхемою при вихідному- стані "1".

ЛЕ із зростаючим споживанням в динамічному режимі крім статичної середньої потужності характеризуються потужністю, споживаною на максимальній частоті перемикання. Прикладом таких мікросхем є мікросхеми КМОП, які споживають мікроамперні струми живлення, коли нема перемикаючих сигналів.

Допустима границя статичної завадостійкості ЛЕ обмежує рівень вхідної напруги, яка ще не викликає випадкового спрацювання.

В статичному режимі розрізняють статичну завадостійкість по низькому U0ЗВ і високому U1ЗВ рівнях. Значення U0ЗВ і U1ЗВ визначать з допомогою перехідних характеристик. Параметр U1ЗВ визначається, як різниця мінімальної напруги високого рівня U1ВХmin і напруги в точці перегину верхньої кривої. Параметр U0ЗВ визначається як різниця напруг в точці перегину нижньої кривої і максимальної напруги низького рівня U0ВXmax.

Для більш повної оцінки завадостійкості схеми одночасно з статичною необхідно враховувати динамічну завадостійкість. Завадостійкість в динамічному режимі залежить від тривалості, амплітуди і форми сигналу завади, а також від запасу статичної завадостійкості і швидкості перемикання ЛЕ.

Коефіцієнт розгалуження по виходу КРоз (навантажувальна здатність) визначає число входів аналогічних елементів, які можуть бути без порушення працездатності під'єднані до виходу попереднього ЛЕ. При збільшенні навантажувальної здатності розширяються можливості застосування цифрових мікросхем і зменшується число корпусів мікросхем в пристрої. Але при цьому погіршуються деякі параметри цифрових інтегральних схем: знижується швидкодія і завадостійкість та зростає споживана потужність.

Коефіцієнт об'єднання по входу Коб визначає максимальне число входів цифрових мікросхем. Розрізняють коефіцієнти об'єднання по входу І КобІ та по входу АБО КобАБО. Для збільшення числа входів в окремих ЛЕ, які входять в серію, передбачають спеціальні входи для організації схеми розширення (точніше, нарощування числа входів), При цьому в серію цифрових мікросхем вводиться схема розширювача.



Рис. 4 функціональна схема мікросхеми К155ЛАЗ.

Технічні характеристики мікросхеми К155ЛАЗ.

Uж = +5V ± 5% kроз = kОб = 10

I0Вих = 16mA U0Вих = 0,4 V

I1Вих = -0,8mA U1Вих = 2,4 V

I0Вх = -1,6mA U0Вх = 2 Vmin

I1Вх = 40µA U1Вх = 0,8 Vmax

I1,0Зат = 15ns t0,1Зат = 22 ns

1

**4. Контрольні запитання.**

1. Які сигнали називаються потенціальними, а які імпульсними?
2. Які основні параметри інтегральних схем серії TTL?
3. Як визначити середній час затримки розповсюдження ЛЕ?
4. Як визначити завадостійкість ЛЕ?
5. Що таке коефіцієнт об’єднання по входу і коефіцієнт розгалуження по виходу і як вони впливають на можливості застосування цифрових мікросхем?
6. Як працює базовий TTL – елемент?
7. Які основні особливості елеентів TTL і як вони впливають на навантажувальну здатність TTL – схем?
8. Яка функція називається Булевою?
9. Які основні функції двох змінних в алгебрі Буля?
10. Що таке базис функції?
11. Навести приклад поняття додатньої і від’ємної логіки.

Контрольні ВІДПОВІДІ

1. Сигнали, що визначаються рівнем напруги називаються потенціальними, а схеми, що їх використовують - потенціальними логічними схемами. Логічним змінним можуть відповідати також наявність або відсутність тактового імпульсу у визначені моменти часу. Такі сигнали і логічні схеми, що їх використовують, називають імпульсними.
2. Елементи ТТЛ характерні тим, що вхідне коло елементів виконується на основі багато-емітерного транзистора по схемі з спільною базою, який має низький вхідний опір. Також стум і напруга.
3. Час затримки розповсюдження t ЗТРСР = 0,5 (t1,0ЗТР + t0,1ЗТР ) є усередненим параметром швидкодії, що використовується при розрахунку часових характеристик послідовно включених цифрових мікросхем. В довідникових даних найбільш часто приводяться наступні динамічні параметри цифрових мікросхем: t1,0зт,  t0,1зт, t1,0зтр,  t0,1зтр.
4. В статичному режимі розрізняють статичну завадостійкість по низькому U0ЗВ і високому U1ЗВ рівнях. Значення U0ЗВ і U1ЗВ визначать з допомогою перехідних характеристик. Параметр U1ЗВ визначається, як різниця мінімальної напруги високого рівня U1ВХmin і напруги в точці перегину верхньої кривої. Параметр U0ЗВ визначається як різниця напруг в точці перегину нижньої кривої і максимальної напруги низького рівня U0ВXmax.
5. Коефіцієнт розгалуження по виходу КРоз (навантажувальна здатність) визначає число входів аналогічних елементів, які можуть бути без порушення працездатності під’єднанні до виходу попереднього ЛЕ. Коефіцієнт об'єднання по входу Коб визначає максимальне число входів цифрових мікросхем. Розрізняють коефіцієнти об'єднання по входу І КобІ та по входу АБО КобАБО.
6. Даний елемент реалізує функцію "І-НІ в додатній логіці і функцію "АБО-НІ у від'ємній логіці, причому на транзисторах VТ2–VТ4 реалізовано складний інвентор, який здійснює операцію "НІ".
7. Таке схемне рішення дозволило забезпечити високу навантажувальну здатність, достатню швидкодію і завадостійкість схеми, оскільки струм в закритому стані схеми створюється малим вихідним опором емітерного повторювача, зібраного на транзисторі VТЗ. а у відкритому стані струм, що поступає в схему, забезпечується малим вихідним опором відкритого транзистора VТ4.
8. Логічна функція число можливих значень якої і кожної її незалежної змінної дорівнює двом називається Булевою.
9. Є такі основні функції двох змінних: мінтерм, макстерм. Мінтерм – це функція n змінних, яка дорівнює 1 при одному наборі. Макстерм – це функція n змінних, яка дорівнює 0 при одному наборі.
10. Система функцій, суперпозицією яких може бути представлена будь - яка булева функція називається функціонально повною, вона утворює базис.
11. Від’ємна логіка відрізняється кількістю операцій. Вона збільшена на 2 операції,також деякі операції замінено іншими операціями